

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5856792号
(P5856792)

(45) 発行日 平成28年2月10日 (2016. 2. 10)

(24) 登録日 平成27年12月18日 (2015. 12. 18)

(51) Int. Cl.

F 1

A 6 1 B 1/04 (2006. 01)

A 6 1 B 1/04 3 7 2

G 0 2 B 23/24 (2006. 01)

G 0 2 B 23/24 B

H 0 4 N 7/18 (2006. 01)

H 0 4 N 7/18 M

請求項の数 5 (全 8 頁)

(21) 出願番号 特願2011-224843 (P2011-224843)
 (22) 出願日 平成23年10月12日 (2011. 10. 12)
 (65) 公開番号 特開2013-81696 (P2013-81696A)
 (43) 公開日 平成25年5月9日 (2013. 5. 9)
 審査請求日 平成26年8月19日 (2014. 8. 19)

(73) 特許権者 000113263
 H O Y A 株式会社
 東京都新宿区中落合 2 丁目 7 番 5 号
 (74) 代理人 100090169
 弁理士 松浦 孝
 (74) 代理人 100124497
 弁理士 小倉 洋樹
 (74) 代理人 100129746
 弁理士 虎山 滋郎
 (74) 代理人 100147762
 弁理士 藤 拓也
 (72) 発明者 秋野 縁
 東京都新宿区中落合 2 丁目 7 番 5 号 H O
 Y A 株式会社内

最終頁に続く

(54) 【発明の名称】 内視鏡装置

(57) 【特許請求の範囲】

【請求項 1】

撮像素子と、

コンフィギュレーションデータを格納するメモリと、

前記撮像素子から読み出される画素信号に対して画像信号処理を行う画像信号処理回路
 を備えたプロセッサに接続されると、コンフィギュレーションデータを前記プロセッサへ
 送信するデータ通信制御部とを備え、

前記画像信号処理回路が、P L D (Programmable Logic Device) を有し、前記コンフ
 ィギュレーションデータに基づいてプログラミング構築され、

前記メモリが、複数の映像関連規格に応じて、複数のコンフィギュレーションデータを
 格納する複数のメモリを有し、

前記データ通信制御部が、前記プロセッサの映像関連規格を判別し、前記プロセッサの
 映像関連規格に対応するコンフィギュレーションデータを前記プロセッサへ送信するこ
 とを特徴とする内視鏡装置のビデオスコープ。

【請求項 2】

撮像素子を有するビデオスコープと、

前記ビデオスコープに接続され、前記撮像素子から読み出される画素信号を処理する画
 像信号処理回路を有するプロセッサとを備え、

前記ビデオスコープが、

コンフィギュレーションデータを格納するメモリと、

10

20

前記ビデオスコープが前記プロセッサに接続されると、コンフィギュレーションデータを前記プロセッサへ送信するデータ通信制御部とを有し、

前記画像信号処理回路が、P L D (Programmable Logic Device) を有し、前記コンフィギュレーションデータに基づいてプログラミング構築され、

前記メモリが、複数の映像関連規格に応じて、複数のコンフィギュレーションデータを格納する複数のメモリを有し、

前記データ通信制御部が、前記プロセッサの映像関連規格を判別し、前記プロセッサの映像関連規格に対応するコンフィギュレーションデータを前記プロセッサへ送信することを特徴とする内視鏡装置。

【請求項 3】

10

撮像素子を有するビデオスコープと、

前記ビデオスコープに接続され、前記撮像素子から読み出される画素信号を処理する画像信号処理回路を有するプロセッサとを備え、

前記ビデオスコープが、

コンフィギュレーションデータを格納するメモリと、

前記ビデオスコープが前記プロセッサに接続されると、コンフィギュレーションデータを前記プロセッサへ送信するデータ通信制御部とを有し、

前記画像信号処理回路が、P L D (Programmable Logic Device) を有し、前記コンフィギュレーションデータに基づいてプログラミング構築され、

前記メモリが、第 1 の T V 映像規格に応じた第 1 コンフィギュレーションデータを格納する第 1 メモリと、第 2 の T V 映像規格に応じた第 2 コンフィギュレーションデータを格納する第 2 メモリとを有し、

20

前記データ通信制御部が、前記プロセッサの映像規格を判別し、前記プロセッサの映像規格に対応する第 1 もしくは第 2 コンフィギュレーションデータを前記プロセッサへ送信することを特徴とする内視鏡装置。

【請求項 4】

前記データ通信制御部が、前記プロセッサの映像関連規格を判別する I / O ポートとを有し、

前記複数のコンフィギュレーションデータのうち送信されていないコンフィギュレーションデータが格納されたメモリに対し、接続されているビデオスコープに関するデータが格納されることを特徴とする請求項 2 に記載の内視鏡装置。

30

【請求項 5】

撮像素子と、

コンフィギュレーションデータを格納するメモリと、

前記撮像素子から読み出される画素信号に対して画像信号処理を行う画像信号処理回路を備えたプロセッサに接続されると、コンフィギュレーションデータを前記プロセッサへ送信するデータ通信制御部とを備え、

前記画像信号処理回路が、P L D (Programmable Logic Device) を有し、前記コンフィギュレーションデータに基づいてプログラミング構築され、

前記メモリが、第 1 の T V 映像規格に応じた第 1 コンフィギュレーションデータを格納する第 1 メモリと、第 2 の T V 映像規格に応じた第 2 コンフィギュレーションデータを格納する第 2 メモリとを有し、

40

前記データ通信制御部が、前記プロセッサの映像規格を判別し、前記プロセッサの映像規格に対応する第 1 もしくは第 2 コンフィギュレーションデータを前記プロセッサへ送信することを特徴とする内視鏡装置のビデオスコープ。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、スコープによって器官内壁などの被写体を撮像し、観察画像をモニタに表示可能な内視鏡システムに関し、特に、プログラミングによって処理機能が設定される画像信号処理回路に関する。

【背景技術】

【0002】

電子内視鏡装置では、先端部に撮像素子を設けたビデオスコープにおいて画像信号処理が実行可能であり、撮像素子から読み出される画素信号を処理する画像信号処理回路がビデオスコープ内に設けられている。画像信号処理回路は、R、G、B信号などのビデオ信号を生成し、プロセッサへ出力する。

【0003】

10

診断対象、用途等に応じて画像信号処理機能を変更するため、FPGA(Field Programmable Gate Array)などのプログラミング設定変更可能な画像信号処理回路をビデオスコープ内に設けることができる。そこでは、プロセッサ内のROM等のメモリにあらかじめ複数のコンフィギュレーションデータを格納する。そして、プロセッサに接続されたビデオスコープのFPGAは、ユーザの所望する処理内容に応じたコンフィギュレーションデータによって画像信号処理回路をプログラミング構築する(特許文献1参照)。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-065871号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

ビデオスコープにおける画像信号処理内容は、ビデオスコープ自身の特性(例えば、撮像素子の解像度)、映像規格などによって異なる。そのため、同じ機能をもつ画像信号処理回路をプログラミング構築する場合においても、接続可能なビデオスコープの種類に合わせてコンフィギュレーションデータを数多く用意し、あるいは、コンフィギュレーションデータの内容を、ビデオスコープ接続に合わせて変更する必要がある。

【0006】

したがって、煩雑な作業を伴うことなく、ビデオスコープとプロセッサとの間の接続関係から、所望の画像信号処理機能を実現させる画像信号処理回路を容易に構築することが求められる。

30

【課題を解決するための手段】

【0007】

本発明の内視鏡装置は、撮像素子を有するビデオスコープと、ビデオスコープに接続され、撮像素子から読み出される画素信号を処理する画像信号処理回路を有するプロセッサとを備え、ビデオスコープが、コンフィギュレーションデータを格納するメモリと、ビデオスコープがプロセッサに接続されると、コンフィギュレーションデータをプロセッサへ送信するデータ通信制御部とを有する。

【0008】

40

本発明では、プロセッサにおいて、回路書き換え可能なPLD(Programmable Logic Device)によって構成される画像信号処理回路が設けられている。例えば、FPGAなどによって画像信号処理回路が構成される。そして、画像信号処理回路の動作内容は、接続するビデオスコープのコンフィギュレーションデータに基づいて設定される。

【0009】

コンフィギュレーションデータは、例えばHDLなどにより記述されたプログラムリストによって表現されるデータ構造あるいはそれに準じるものを示し、例えば、物理レベルでのネットリスト、論理レベルでのスキーム、シナリオなどがある。コンフィギュレーションデータによって画像信号処理回路がプログラミング構築され、処理動作内容が決定される。

50

【 0 0 1 0 】

本発明では、例えば内視鏡装置の出荷時において、ビデオスコープにコンフィギュレーションデータをメモリに格納する一方、撮像素子からの画素信号に対する画像信号処理を実行する画像信号処理回路をプロセッサに設けている。これにより、ビデオスコープ特性に合わせた画像信号処理回路が、ビデオスコープ接続に合わせてプロセッサ内にプログラミング構築される。新たなコンフィギュレーションデータを備えたビデオスコープが接続されると、そのビデオスコープ特性に合わせた画像信号処理回路が構築可能となる。

【 0 0 1 1 】

画像信号処理動作内容を設定するコンフィギュレーションデータは、同じ機能を果たす動作処理であっても、プロセッサに定められた映像規格によってはその内容が異なる。例えば、NTSC、PAL方式によってコンフィギュレーションデータは異なる。

10

【 0 0 1 2 】

したがって、ビデオスコープには、複数の映像関連規格に従い、複数のコンフィギュレーションデータを格納する複数のメモリを設けるのが望ましい。この場合、データ通信制御部は、プロセッサの映像関連規格を判別し、プロセッサの映像関連規格に対応するコンフィギュレーションデータをプロセッサへ送信する。

【 0 0 1 3 】

例えば、TV映像規格の場合、第1のTV映像規格（NTSCなど）に応じた第1コンフィギュレーションデータを格納する第1メモリと、第2のTV映像規格（PALなど）に応じた第2コンフィギュレーションデータを格納する第2メモリを設けるようにすればよい。データ通信制御部は、プロセッサの映像規格を判別し、プロセッサの映像規格に対応する第1もしくは第2コンフィギュレーションデータをプロセッサへ送信する。

20

【 0 0 1 4 】

たとえば、I/OポートによってTV映像規格を判別すると、ポート状態がその後変更されることはない。すなわち、ビデオスコープは以降特定の映像規格にしか対応しない。よって、複数のコンフィギュレーションデータのうち送信されていないコンフィギュレーションデータを格納しているメモリに、ビデオスコープに関するデータ（撮像素子の種類など）を格納し、メモリを有効利用するのが望ましい。

【 0 0 1 5 】

本発明の他の局面におけるビデオスコープは、撮像素子と、コンフィギュレーションデータを格納するメモリと、撮像素子から読み出される画素信号に対して画像信号処理を行う画像信号処理回路を備えたプロセッサに接続されると、コンフィギュレーションデータをプロセッサへ送信するデータ通信制御部とを備え、画像信号処理回路が、PLD（Programmable Logic Device）を有し、コンフィギュレーションデータに基づいてプログラミング構築されることを特徴とする。

30

【発明の効果】

【 0 0 1 6 】

このように本発明によれば、接続されるビデオスコープに適した画像信号処理回路を、煩雑な作業を伴わずに自動構築することができる。

【図面の簡単な説明】

40

【 0 0 1 7 】

【図1】本実施形態である内視鏡装置のブロック図である。

【図2】画像信号処理回路の動作設定処理を示したフローチャートである。

【発明を実施するための形態】

【 0 0 1 8 】

以下では、図面を参照して本実施形態である内視鏡システムについて説明する。

【 0 0 1 9 】

図1は、本実施形態である内視鏡装置のブロック図である。

【 0 0 2 0 】

内視鏡装置は、その挿入部分が体内へ挿入されるビデオスコープ10と、プロセッサ2

50

0とを備え、ビデオスコープ10はプロセッサ20に着脱自在に接続される。ビデオスコープは様々なタイプ、機種のビデオスコープが用意されており、内視鏡作業に合わせて所定のビデオスコープ10が選択的にプロセッサ20に接続される。また、プロセッサ20には、モニタ50が接続されている。

【0021】

プロセッサ20は、ランプ32を備え、ランプ32から放射された照明光は、集光レンズ31を介してビデオスコープ10内に設けられたライトガイド11に入射する。ライトガイド11に入射した光は、スコープ先端部10Tから射出し、配光光学系13を通じて被写体（観察対象）に向けて照射される。

【0022】

被写体に反射した照明光は、スコープ先端部10Tに設けられた対物レンズ15によって結像し、これにより被写体像がCCDなどのイメージセンサ12の受光面に形成される。イメージセンサ12では、1フレーム（フィールド）分の画像信号が所定のフレーム時間間隔で読み出される。例えばNTSC方式の場合、1/30（1/60）秒間隔、PAL方式の場合、1/25（1/5）秒間隔で読み出される。イメージセンサ12には、Cy、Ye、G、MgあるいはR、G、Bから成る色要素をモザイク配列させた補色フィルタが配設されている。

【0023】

読み出された一連の画素信号は、スコープコントローラ16を介してプロセッサ20の画像信号処理回路22へ送られる。画像信号処理回路22では、画素信号に対するデジタル化処理、さらには、ホワイトバランス処理（ゲイン処理）、ガンマ補正処理などの様々な信号処理が施される。これにより、R、G、Bの画像信号が生成される。R、G、B画像信号は、画像メモリ24に一時的に格納された後、出力回路27を経てモニタ50へ出力される。これにより、観察画像がモニタ50に表示される。

【0024】

集光レンズ31とライトガイド11の間には、照明光量を調整する絞り33が配置されている。調光回路35は、画像信号処理回路22から送られてくる輝度信号に基づいてモータ36を制御し、被写体像の明るさを適切な明るさで維持するように絞り33が開閉する。

【0025】

CPU、ROM等を含むシステムコントロール回路26は、タイミングコントローラ28、ランプ電源34などへ制御信号を出力し、プロセッサ20全体の動作を制御する。また、システムコントロール回路26は、フロントパネル29のスイッチボタン（図示せず）の操作を検出する。プロセッサの動作制御に関するプログラムはROMにあらかじめ格納されている。システムコントロール回路26は、ビデオスコープ10内に設けられたスコープコントローラ16と相互通信し、様々なデータが受信、送信可能である。

【0026】

ビデオスコープ10がプロセッサ20に接続されると、プロセッサ20からビデオスコープ10に電源が供給される。CPU15、ROM（図示せず）を含むスコープコントローラ16は、ICチップで構成されており、ビデオスコープ10の動作を制御するとともに、プロセッサ20との通信を行なう。また、ビデオスコープ10には第1メモリ17A、第2メモリ17Bが設けられており、両方とも、EEPROMなど上書き可能な不揮発性メモリによって構成される。

【0027】

プロセッサ20の画像信号処理回路22は、プログラミングによって設定変更可能なPLD（Programmable Logic Device）によって構成されており、ここではFPGAが適用されている。第1メモリ17A、第2メモリ17Bには、画像信号処理回路22をプログラミング構築するために使用されるコンフィギュレーションデータが格納されている。

【0028】

コンフィギュレーションデータは、回路動作を設定する情報をもつデータであり、HD

10

20

30

40

50

Lなどによって記述されるプログラミングリスト、ネットリストなどがデータとして第1、第2メモリ17A、17Bに格納されている。第1メモリ17Aには、TV映像規格としてPAL方式対応のコンフィギュレーションデータが格納されており、第2メモリ17Bには、NTSC方式対応のコンフィギュレーションデータが格納されている。

【0029】

ICチップに実装されているスコープコントローラ16のCPU15には、I/Oポート19A、19Bが設けられている。スコープコントローラ16は、I/Oポート19A、19Bへのポート入力電圧のレベルに基づき、プロセッサの映像規格がPAL方式、NTSC方式いずれであるかを判別する。

【0030】

ビデオスコープ10が出荷される時、あるいは、ビデオスコープ10のメンテナンスが行なわれたとき、ビデオスコープ10とプロセッサ20との接続を通じて画像信号処理回路22のプログラミング構築が行われる。以下、画像信号処理回路の処理動作設定について説明する。

【0031】

図2は、画像信号処理回路の動作設定処理を示したフローチャートである。ビデオスコープ10がプロセッサ20に接続されると、自動的に開始される。

【0032】

ステップS101、S102では、I/Oポート19A、19Bの入力電圧レベルによって、プロセッサ20の映像規格がPAL方式であるか、あるいはNTSC方式であるか判断される。I/Oポート19A、19Bへの入力電圧レベルは、プロセッサ20の映像規格に応じて決定される。

【0033】

プロセッサ20の映像規格がPAL方式であると判断されると、第1メモリ17Aに格納されたPAL用コンフィギュレーションデータが読み出され、プロセッサ20へ送信される。プロセッサ20では、送られてくるPAL用コンフィギュレーションデータに従い、PAL方式対応の画像信号処理回路22が構築される(S105、S106)。

【0034】

一方、プロセッサ20の映像規格がNTSC方式であると判断されると、第2メモリ17Bに格納されたNTSC用コンフィギュレーションデータが読み出される(S103)。プロセッサ20では、NTSC用コンフィギュレーションデータに従い、NTSC方式対応の画像信号処理回路22が構築される(S104)。

【0035】

ステップS107では、ビデオスコープの機種に関するデータの設定処理が行われる。ここでは、第1、第2メモリ17A、17Bのうちプロセッサ20の映像規格に対応していなかったメモリを、スコープ特性(撮像素子のタイプなど)などに関するデータを格納するメモリとして使用する。ユーザがキーボード操作などすることにより、使用されていないコンフィギュレーションデータを格納したメモリにデータが上書きされる。

【0036】

このように本実施形態によれば、ビデオスコープ10内にコンフィギュレーションデータを格納したメモリ17A、17Bが設けられており、プロセッサ20には、FPGAによってプログラミング構築される画像信号処理回路22が設けられている。そして、ビデオスコープ10がプロセッサ20に接続されると、PAL方式、もしくはNTSC方式に対応したコンフィギュレーションデータがプロセッサ20に送信され、画像信号処理回路22が構成される。

【0037】

ビデオスコープではなく、プロセッサに再構成可能な画像信号処理回路を設ける一方、ビデオスコープにコンフィギュレーションデータ格納メモリを設ける、これにより、ビデオスコープをプロセッサに接続させると、そのビデオスコープに適した画像信号処理回路が自動的に形成される。ビデオスコープ内に自身のコンフィギュレーションデータを用意

10

20

30

40

50

するため、コンフィギュレーションデータの変更等する必要がない。そして、ビデオスコープに画像信号処理回路を設けないため、コストダウン可能となる。

【0038】

また、映像規格としてPAL方式もしくはNTSC方式どちらのコンフィギュレーションデータを用意するため、出荷時にPAL方式もしくはNTSC方式をビデオスコープに設定することが可能となり、製造時に映像規格に分けてビデオスコープを完成させる必要がなく、ビデオスコープ内にPAL用基板、NTSC用基板を設けずに基板を共有化することができる。

【0039】

さらに、PAL方式、NTSC方式が設定されると、以降使用されることがないコンフィギュレーションデータを格納するメモリには、ビデオスコープ機種データが格納される。これにより、用意されたメモリを有効利用することができる。

【0040】

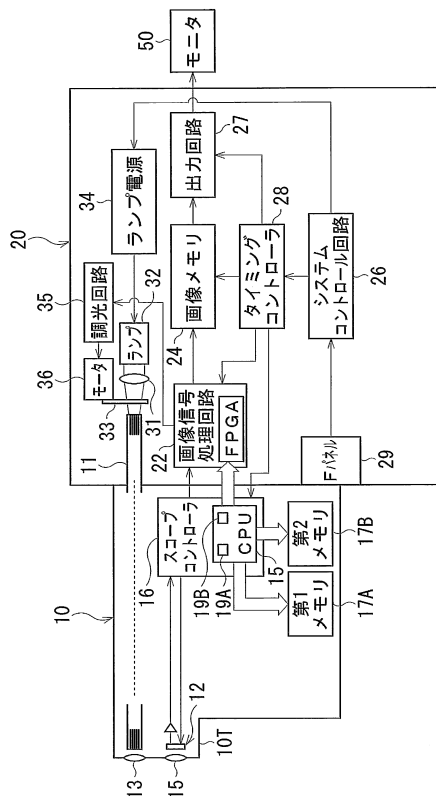
本実施形態では、FPGAによって画像信号処理回路22が構成されているが、他の形式のPLDでもよい。また、ビデオスコープとプロセッサとの接続時には、そのプロセッサの映像規格に適したコンフィギュレーションデータを送信させてもよい。

【符号の説明】

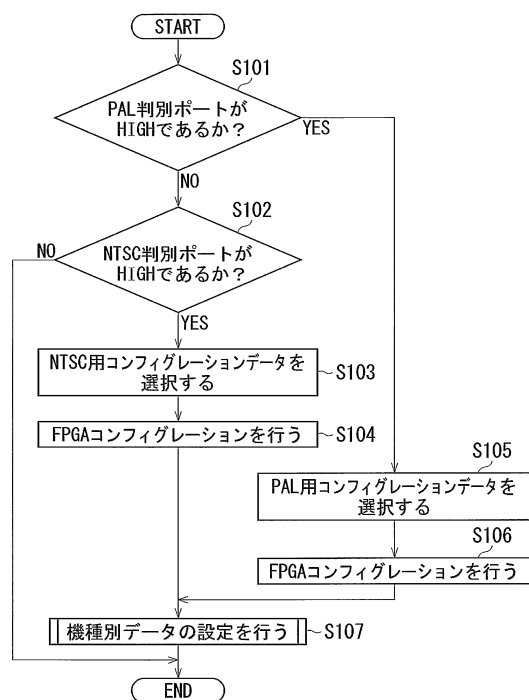
【0041】

- 10 ビデオスコープ
- 16 スコープコントローラ
- 17A 第1メモリ
- 17B 第2メモリ
- 19A、19B I/Oポート
- 20 プロセッサ
- 22 画像信号処理回路

【図1】



【図2】



10

20

フロントページの続き

審査官 安田 明央

- (56)参考文献 特開 2 0 1 1 - 1 3 6 1 7 7 (J P , A)
特開 2 0 1 1 - 1 3 6 1 7 9 (J P , A)
特開 2 0 0 9 - 1 8 9 5 2 9 (J P , A)
特開 2 0 0 7 - 0 0 7 3 3 7 (J P , A)
特開 2 0 0 5 - 0 6 5 8 7 1 (J P , A)
特開 2 0 0 8 - 1 0 4 5 3 5 (J P , A)
特開 2 0 0 2 - 2 7 8 0 7 7 (J P , A)
特開平 1 1 - 2 9 8 9 0 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

A 6 1 B	1 / 0 0 - 1 / 3 2
G 0 2 B	2 3 / 2 4 - 2 3 / 2 6
H 0 4 N	7 / 1 8

专利名称(译)	内视镜装置		
公开(公告)号	JP5856792B2	公开(公告)日	2016-02-10
申请号	JP2011224843	申请日	2011-10-12
[标]申请(专利权)人(译)	保谷股份有限公司		
申请(专利权)人(译)	HOYA株式会社		
当前申请(专利权)人(译)	HOYA株式会社		
[标]发明人	秋野 縁		
发明人	秋野 縁		
IPC分类号	A61B1/04 G02B23/24 H04N7/18		
FI分类号	A61B1/04.372 G02B23/24.B H04N7/18.M A61B1/045.610 A61B1/045.613 A61B1/05		
F-TERM分类号	2H040/CA11 2H040/GA02 2H040/GA10 2H040/GA11 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD00 4C161/FF06 4C161/FF45 4C161/GG01 4C161/LL02 4C161/NN01 4C161/NN05 4C161/NN07 4C161/RR25 4C161/TT12 4C161/VV06 4C161/YY12 4C161/YY14 5C054/CC07 5C054/EA05 5C054/EJ00 5C054/HA12		
代理人(译)	松浦 孝		
其他公开文献	JP2013081696A		
外部链接	Espacenet		

摘要(译)

要解决的问题：自动构建适合视频范围的图像信号处理电路，无需复杂的工作即可连接。 解决方案：在视频镜10中，提供存储配置数据的存储器17A和17B，并且处理器20配备有由FPGA编程和构造的图像信号处理电路22。当视频镜10连接到处理器20时，对应于PAL系统或NTSC系统的配置数据被发送到处理器20以构成图像信号处理电路22。 点域1

(21) 出願番号	特願2011-224843 (P2011-224843)	(73) 特許権者	000113263
(22) 出願日	平成23年10月12日 (2011.10.12)		HOYA株式会社
(65) 公開番号	特開2013-81696 (P2013-81696A)		東京都新宿区中落合2丁目7番5号
(43) 公開日	平成25年5月9日 (2013.5.9)	(74) 代理人	100090169
審査請求日	平成26年8月19日 (2014.8.19)		弁理士 松浦 孝
		(74) 代理人	100124497
			弁理士 小倉 洋樹
		(74) 代理人	100129746
			弁理士 虎山 滋郎
		(74) 代理人	100147762
			弁理士 藤 拓也
		(72) 発明者	秋野 縁
			東京都新宿区中落合2丁目7番5号 HOYA株式会社内

最終頁に続く